

⑪公開特許公報(A)

昭54—148430

⑫Int. Cl.²

G 06 F 1/00

G 06 F 1/04

識別記号

1 0 2

⑬日本分類

97(7) A 2

97(7) F 01

庁内整理番号

6503—5B

6745—5B

⑭公開 昭和54年(1979)11月20日

発明の数 1

審査請求 未請求

(全 5頁)

⑮デジタル装置

⑯発明者 河合弘一

東京都港区芝五丁目33番1号

日本電気株式会社内

⑰特 願 昭53—57802

⑱出 願 昭53(1978)5月15日

⑲発明者 前橋幸男

東京都港区芝五丁目33番1号

日本電気株式会社内

⑳出 願 人 日本電気株式会社

東京都港区芝五丁目33番1号

㉑代理人 弁理士 内原晋

明 細 書

1. 発明の名称

デジタル装置

2. 特許請求の範囲

演算回路を有するデジタル装置において、電源電圧供給手段に電源電圧を変化させる制御手段を付加すると共に、クロックパルス供給源にクロック周波数を変化させる制御手段を付加し、通常時は演算回路素子の動作可能な範囲の高い電圧と高い周波数のクロックパルスを、また特定時は演算回路素子の動作可能な範囲の低い電圧と低い周波数のクロックパルスを上記演算回路に供給するように構成したことを特徴とするデジタル装置。

3. 発明の詳細な説明

本発明はデジタル装置に関し、特に小型電子機器のクロック発生手段に関する。

近年技術の進歩に従って電子機器の低電力化が

進められている。また電子式計算機においては、プログラムカウンタ、リードオンリーメモリ(ROM)、ランダムアクセスメモリ(RAM)、演算論理ユニット(ALU)、タイマー、入力ポートを含むマイクロ命令制御方式のCPU(中央情報処理装置)は1チップLSI(大規模集積回路)化されるようになった。最近の電子式計算機においては、通常演算時はCPUを高速で動作させる必要があるため、発振周波数の高いクロックを使用する。しかし電源をオンしたままで情報を長時間記憶しておく場合(STANDBY状態)には高速で動作させなくても正常に機能する。従来は、STANDBY状態にも通常時と同じ電源電圧、周波数で動作させたため電力の消費が大きく、電源に電池を使用した場合早く消耗してしまい欠点があつた。

本発明の目的は低消費電力、特に電源部に電池を使用した場合、限定された電池容量を効率よく使用せしめうる低消費電力で動作しうるデジタル装置を提供するものである。

本発明の他の目的は、STANDBY状態で

もCPUを正常に動作させるようにクロック周波数を低くする回路を提供することにある。

本発明のもう一つの目的は、電源電圧を下げることと、内部クロック周波数を下げることによる相乗効果により消費電力を少なくすることにある。

本発明によるデジタル装置は演算回路を有するデジタル装置において、電源電圧供給手段に電源電圧を変化させる制御手段を付加すると共に、クロックパルス供給源にクロック周波数を変化させる制御手段を付加し、通常時は演算回路素子の動作可能な範囲の高い電圧と高い周波数のクロックパルスを、また特定時は演算回路素子の動作可能な範囲の低い電圧と低い周波数のクロックパルスを上記演算回路に供給するように構成したことを特徴とする。

以下図面を参照して本発明の一実施例を説明する。

第1図は実施例によるデジタル装置のブロック図であり、1は1チップでLSI化されたCPU(中央情報処理装置)である。CPU1はマイク

- 3 -

LSI内部に組み込まれ、クロックの周波数 f を制御する例を示している。24は発振開始用の抵抗、25はインバータである。28はCPU1からのマイクロ命令26、27でそれぞれセット、リセットするフリップフロップである。そのQ出力はアンドゲート31に入力し、 \bar{Q} 出力は別のアンドゲート30に入力する。インバータ25の出力はアンドゲート30のもう一つの入力であると共にフリップフロップ29に入る。フリップフロップ29は2分周のクロックデバイダーとして機能し、共振回路による発振周波数を f 。とすると、フリップフロップ29の出力周波数は $f/2$ になる。フリップフロップ29の出力はアンドゲート31のもう一つの入力である。アンドゲート30、31の出力はオアゲート32を介してCPU内部を駆動するクロック f になる。

インバータ25の出力 f 。とフリップフロップ29の出力 $f/2$ の波形を第6図に示す。

次に電源供給手段11の一実施例を第3図に示しこれを説明する。

- 5 -

ロ命令制御方式であり、プログラムカウンタ2およびタイマー3、クロック発生手段4、演算処理ユニット(ALU)5、リードオンリーメモリ(ROM)6、ランダムアクセスメモリ(RAM)7、入力ポート8、出力ポート9等が含まれる。10は一定のクロック周波数で発振を起こすための外付共振回路であり、セラミックフィルタ、水晶発振子またはLC共振回路(IFT)が使われる。11は電源供給手段である。クロック発生手段4および電源供給手段11はCPUからの制御信号により電源電圧とクロック周波数を変えて、通常動作時には高速処理を実行し、STANDBY時には低電圧、低クロック周波数により低消費電力化を計りCPUの正常動作を保ちながら電力供給を制御できる構成になつている。そこでクロック発生手段4の一実施例を第2図に示しこれを説明する。

第2図の21はセラミックフィルタ、22、23はコンデンサでありこれらは前述の外付共振回路10を構成している。24から32は1チップの

- 4 -

第3図で41、43、45は抵抗、42、46はトランジスタ、44はランプ、47はツェナーダイオード、48はダイオード、49は電圧 V_1 ボルトのBACK UP用電池である。なお第3図で点線で囲まれた部分50、すなわち抵抗45トランジスタ46、ツェナーダイオード47は V_0 ボルトの定電圧回路50を構成している。Qは第2図のフリップフロップ28の1出力であり、Qが論理1のときはトランジスタ42がオン、トランジスタ46がオフする。その時CPUに印加される電圧は電池49の電圧 V_1 ボルト(正確には V_1 からダイオードのホワードドロップ分 V_F を差し引いた直)となる。またその時、抵抗43、ランプ44、トランジスタ42に電流が流れるため、ランプが点灯しSTANDBY状態であることを示すことも可能である。Qが論理0のときはトランジスタ42がオフ、トランジスタ46がオンするため、CPUに印加する電圧は定電圧回路50の出力電圧 V_0 ボルトとなる。その際ダイオード48は非導通となるので電池49は消費さ

- 6 -

れない。

ところで1チップLSIで組まれたCPU(中央情報処理装置)1の動作可能な周波数の最高値 f_{max} は電源電圧 V を小さくすると低くなってしまう。ここでCPUの $V-f_{max}$ 、特性が第4図に示すような場合について考える。第2図のインバータ25の発振周波数は電源電圧 V が変つても、 f 、一定であるため、上述のCPUは通常状態 V_0 ボルトでは正常に動作するが、STAND BY状態 V_1 ボルトでは阻動作してしまう。

本発明はSTAND BY状態でもCPUを正常に動作させることを目的としている。

上述の実施例においてSTAND BYを指令するマイクロ命令による制御信号26が出力されると、フリップフロップ28はセットし、アンドゲート31から2分周のデバイダー29を介して f_0 の半分の周波数 $f_0/2$ のクロックでCPU内部を動作させる。

一方第3図でフリップフロップ28の出力Qが論理1なのでCPUの電源電圧 V としてBACK

- 7 -

また第2図の例ではデバイダーとして1分のフリップフロップを用いたが、CPUの $V-f_{max}$ 特性に応じて複数のデバイダーを用いればSTAND BY状態の電源電圧 V をもつと低くして正常動作させることも可能である。この方法によれば電源をオンしたままで低電源電圧でCPU(中央情報処理装置)を正常に動作させることができ、消費電力をきわめて少なくできる。

本発明の代表的な使用例としては電子式金銭登録機の情報記憶保持機能が考えられ効果が顕著である。

4. 図面の簡単な説明

第1図は本発明の実施例のブロック図であり、第2図はCPU1の内部に含まれるクロック発生手段である。第3図は電源供給手段11の一実施例である。第4図はCPUの電源電圧に対する動作可能周波数の破高値特性を示すグラフである。第5図は電源電圧を一定にした場合の発振周波数と消費電力の関係を示す図であり、第6図はクロ

UP電池の電圧 V_1 が選ばれる。

以上からSTAND BY状態では電源電圧が V_1 ボルトになるがクロック周波数が $f_0/2$ なので第5図に示すようにCPUを正常に動作させることができる。

次にマイクロ命令による制御信号27によりSTAND BY状態解除すなわち通常動作を命令されると、フリップフロップ28はリセットし、アンドゲート30から周波数 f_0 のクイックが出力されCPU内部を動作させる。この時第3図のQが論理0なのでCPUの電源電圧 V として定電圧回路50の出力電圧 V_0 ボルトが選ばれる。以上から通常状態も電源電圧 V_0 ボルト、周波数は f_0 でCPUを高速度で正常に動作させることができる。ここでもし、電源電圧の切り換えが周波数の切り替えに比べてスピードが遅い場合は、フリップフロップ28を新たにもう一つ設けて電源電圧の切り替えが済んでから周波数の切り替えを行なうようにすればSTAND BY状態になる場合電源電圧の応答が遅くても所望の動作を実現できる。

- 8 -

ックの波形の概略図である。

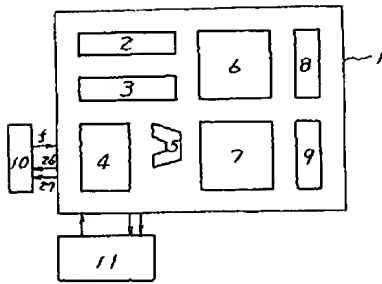
図中の符号 1……CPU、2……プログラムカウンタ、3……タイマー、4……クロック発生手段、5……ALV、6……ROM、7……RAM、8……入力ポート、9……出力ポート、10……共振回路、11……電源供給手段。

代理人 弁護士 内 原 晋

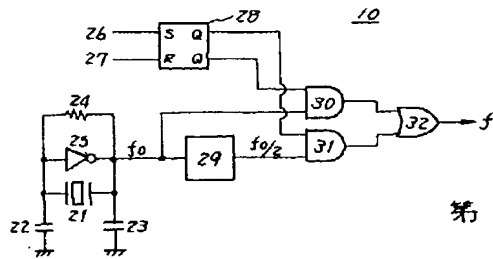
- 9 -

-223-

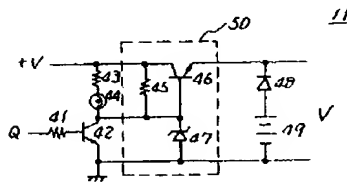
- 10 -



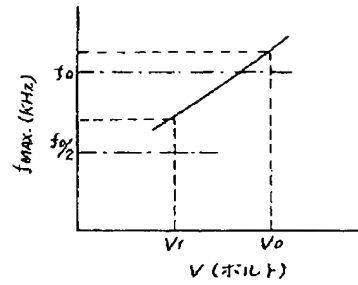
第 1 図



第 2 図



第 3 図



第 4 図

手 続 補 正 書 (自 発)

昭和 54. 6. -5 日

特 許 庁 長 官 殿

1. 事件の表示 昭和 53 年 特 許 願 第 57802 号
2. 発明の名称 デジタル装置
3. 補正をする者

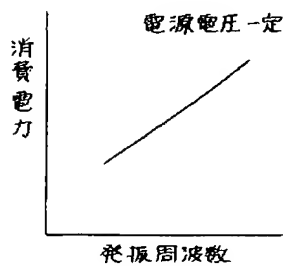
事件との関係

出 願 人

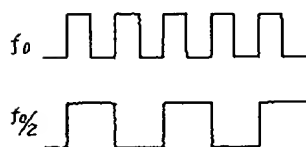
東京都港区芝五丁目 3 番 1 号
(423) 日本電気株式会社
代表者 田 中 忠 雄

4. 代 理 人

東京都港区芝五丁目 3 番 1 号
日本電気株式会社
(6591) 弁 理 士 内 原 晋
電話 東京 (03) 454-1111 (大代表)



第 5 図



第 6 図



5. 補正の対象

明細書の発明の詳細を説明および図面

6. 補正の内容

- (1) 明細書第5頁6行の「アンケート31」を「アンドゲート31」に訂正します。
- (2) 明細書第6頁4行の「番3図」を「第3図」に訂正いたします。
- (3) 明細書第6頁12行の「V F 5」を「V F を」に訂正いたします。
- (4) 明細書第6頁13行の「差し引いた直」を「差し引いた値」に訂正いたします。
- (5) 明細書第8頁8行の「27により8」を「27により」に訂正いたします。
- (6) 明細書第8頁8行の「令されると」を「令すると」に訂正します。
- (7) 明細書第8頁9行の「クイック」を「クロック」に訂正いたします。
- (8) 明細書第8頁13行の「通常状態も」を「通常状態は」に訂正いたします。
- (9) 明細書第9頁1行の「1符の」を「1個の」

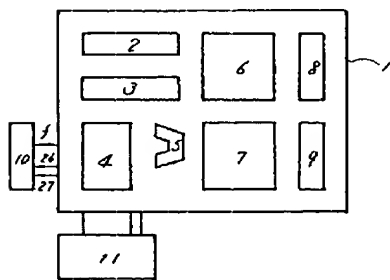
に訂正いたします。

00 第1図ないし第4図を添付のものと差し替
えいたします。

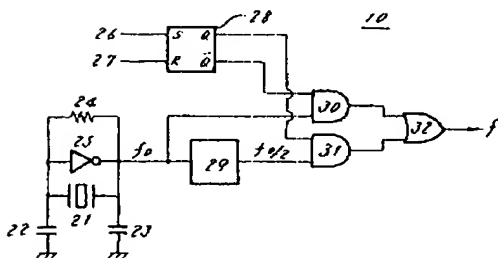
代理人 弁理士 内 原 賢

- 1 -

第 1 図

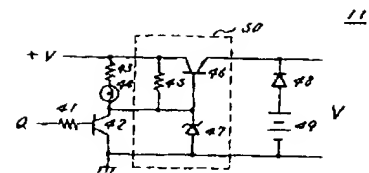


第 2 図



- 2 -

第 3 図



第 4 図

